

# 基于块数字滤波器的高阶两通道时间交织 $\Sigma\Delta$ 调制器的系统优化设计

凌朝东 杨 骁 蔡灿辉

( 华侨大学信息科学与工程学院, 福建厦门 361021 )

**摘 要:** 时间交织技术是一种提高  $\Sigma\Delta$  调制器采样频率的有效方法, 但是时间交织  $\Sigma\Delta$  调制器对通道之间的失配非常敏感。在传统噪声传递函数 (NTF) 中增加一个  $z = -1$  的零点, 可以减小折叠到信号带宽内的噪声。在已提出的基于块数字滤波器的二阶两通道时间交织  $\Sigma\Delta$  调制器结构的基础上, 提出了一种高阶两通道时间交织  $\Sigma\Delta$  调制器的系统优化设计方法, 该方法对系统的稳定性、噪声传递函数零极点的优化进行了考虑。采用该方法, 设计了一种带宽为 4MHz 应用于数字视频广播系统中的高阶两通道时间交织调制器的系统结构。仿真结果表明, 该调制器具有较大的稳定输入范围以及对通道失配不敏感的特点。

**关键词:**  $\Sigma\Delta$  调制器; 折叠噪声; 高阶; 时间交织; 块数字滤波器

**中图分类号:** TN43 **文献标识码:** A **文章编号:** 1003-0530(2010)02-0272-05

## System Optimization Design of High-Order Two-Channel Time-Interleaved $\Sigma\Delta$ Modulator Based on Digital Block Filter

LING Chao-dong YANG Xiao CAI Can-hui

( College of Information Science and Engineering, Huaqiao University, Xiamen 361021, China )

**Abstract:** Time-interleaving is an efficient approach to increase the sampling rate of  $\Sigma\Delta$  modulators, but time-interleaved (TI)  $\Sigma\Delta$  modulators are sensitive to channel mismatch. Recently, a solution for this problem has been proposed with a zero of  $z = -1$  and its corresponding pole in the noise transfer function. Based on the proposed second-order two-channel TI modulator, an approach of system optimization design is presented for high-order two-channel TI modulators. The system stability and optimization of zeros/poles are considered. As an example, a system of high-order two-channel TI  $\Sigma\Delta$  modulator is designed with bandwidth of 4 MHz, which is suitable for application of digital video broadcasting-terrestrial (DVB-T). Simulation results show that the proposed  $\Sigma\Delta$  modulator has a large input signal range and is insensitive to channel mismatch.

**Key words:**  $\Sigma\Delta$  modulators; folded noise; high-order; time-interleaved; block digital filter

### 1 引言

近代通信系统对高精度、宽带模数转换器的需求推动了对高精度宽带  $\Sigma\Delta$  模数转换器 (ADC) 的研究。现有的 CMOS 集成电路工艺水平限制了运算放大器的高频性能, 使得基于开关电容电路的高速  $\Sigma\Delta$  ADC 的设计很困难 [1]。时间交织技术是一种提高 ADC 转换速率的有效方法, 并已成功应用到  $\Sigma\Delta$  调制器中

[2,3]。但是, 时间交织  $\Sigma\Delta$  调制器对通道失配非常敏感, 通道失配使得调制器的量化噪声折叠到信号带宽内, 大大降低了调制器的信号噪声失真比 (SNDR) [3,4]。最近, 文献 [4] 针对时间交织调制器对通道失配敏感问题提出一种有效的处理办法, 即对传统的高通噪声传递函数进行改进, 采用具有带通特性的噪声传递, 并提出了一种基于块数字滤波器的二阶两通道时间交织  $\Sigma\Delta$  调制器电路。本文在文献 [4] 的基础上,

提出了一种基于块数字滤波器高阶两通道时间交织ΣΔ调制器的系统优化设计方法。该设计方法对系统稳定性进行了考虑,并从通道失配引起的折叠噪声与噪声传递函数(NTF)之间的关系出发,对噪声传递函数中的零极点进行了优化。采用该方法,设计了一个应用于数字视频广播(DVB-T)系统中的宽带ΣΔ调制器的系统结构。系统仿真表明,该高阶两通道时间交织调制器在-4dB满刻度直流输入信号时,系统仍然稳定,并且在通道失配为0.5%的条件下,调制器的信号噪声失真比(SNDR)比理想情况下只降低了3.5dB。

## 2 基于块数字滤波器的两通道时间交织ΣΔ调制器及通道失配

对于(1)式中三种单输入输出系统,可以采用两通道块数字滤波器结构来实现[2,4]。假设每个通道的采样频率为 $F_s$ ,则块数字滤波器结构的有效采样频率为 $2F_s$ 。若传统调制器也采用这种两通道块数字滤波器结构来实现,则整个调制器的有效采样频率为原来2倍。

$$\begin{aligned} Y_1(z) &= \frac{z^{-1}}{1-z^{-1}}X_1(z), \\ Y_2(z) &= \frac{1}{1-z^{-1}}X_2(z), \\ Y_3(z) &= \frac{z^{-2} + kz^{-1}}{(1-z^{-1})(1+z^{-1})}X_3(z) \end{aligned} \quad (1)$$

两通道块数字滤波器在电路实现时,由于电路的非理想特性,所实现的两个通道的系数不能完全相等,即存在通道失配。在时间交织ΣΔ调制器中,一个非常关键的问题是各个通道之间的失配会引起高频处的量化噪声折叠到信号带宽内,导致调制器的SNDR降低[4,5]。传统NTF是一个高通滤波器,其幅频特性如图1(a)所示。量化噪声经过NTF整形,信号带宽内的噪声被衰减,信号带宽外的噪声被放大。当把这种高通NTF应用到通道存在失配的两通道时间交织调制器中时,会发生噪声折叠,噪声折叠示意图如图1(a)所示。若 $F_s$ 为调制器的采样频率, $f_b$ 为调制器的带宽,则两通道之间的系数失配会使频带 $W_H = ((F_s/2) - f_b) \sim F_s/2$ 内的量化噪声经过衰减之后折叠到信号带宽 $W_L = (0 \sim f_b)$ 内,折叠噪声可以表示为[6]:

$$N_{Fold}(z) = \delta Q(-z)NTF(-z) \quad (2)$$

式中, $\delta = \frac{C_1 - C_2}{(C_1 + C_2)}$ 为通道失配系数( $C_1$ 、 $C_2$ 分别为两个通道中积分器的采样电容,并假设电路非理想特性所引起的失配都可以归结为采样电容 $C_1$ 和 $C_2$ 的失配)。

若采用如图1(b)所示的带通NTF,量化噪声经过NTF噪声整形后,其高频处的量化噪声较小,从而减小了折叠噪声。在传统高通NTF中增加一个 $Z = -1$ 的零点及其相应的极点可以得到如图1(b)所示NTF的幅频响应,文献[4]就是基于这种思想提出了一种基于块数字滤波器的二阶两通道时间交织ΣΔ调制器。

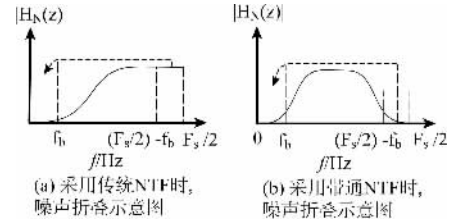


图1 噪声折叠示意图

## 3 高阶两通道时间交织ΣΔ调制器的系统优化设计

### 3.1 系统稳定性考虑

ΣΔ调制器是一个非线性系统,严格地从理论上判断调制器是否稳定非常困难。在实际设计中,通常采用经验准则来估计其稳定性。文献[7]指出高阶调制器的稳定性主要与噪声功率增益(NPG)有关,其中NPG定义为:

$$NPG = \frac{1}{\pi} \int_0^{\pi} |NTF(e^{j\omega})|^2 d\omega \quad (3)$$

该文献同时给出了判断调制器稳定性的经验准则,对于内嵌量化器为1bit的高阶调制器,要求NPG应满足:

$$NPG \leq NPG_{\max} = L - \frac{3X_{in,\max}^2}{2} \quad (4)$$

其中 $X_{in,\max}$ 为稳定的直流输入信号幅值, $L$ 为常数,对应于阶数 $N = 3, 4$ 和 $\geq 5$ 的情况, $L$ 的经验取值分别为2.55, 2.4和2.35。

采用多位量化器能够增强高阶调制器的稳定性,其稳定性仍然与NPG有关,NPG越大,调制器系统的越容易不稳定[7,8]。所以要使高阶调制器具有较好的稳定性,NPG应该选择较小的值。

### 3.2 零极点优化

对于传统的高通NTF,如果将零点均匀地分布在信号带宽内,而不是都放置在直流频率处,将会对信号带宽内的量化噪声有更好地衰减[9]。本文所设计的NTF是一个带通滤波器,其低频处的零点采用文献[9]所给出的零点优化的方法来优化,使其均匀地分布在信号带宽内。

调制器要求信号传递函数的幅频特性在信号带宽

内非常平坦,从而保证输入信号频谱经过调制器后不会出现失真。而信号传递函数与 NTF 具有相同的极点,所以本文采用最大平坦全极点函数的极点作为 NTF 低频处的极点,保证信号传递函数的幅频特性在信号带宽内具有良好的平坦特性。从前面的分析可知,当存在通道失配时,调制器频带  $W_H$  内的量化噪声经过失配系数  $\delta$  衰减之后折叠到信号带宽  $W_L$  内。因为本文将设计的 NTF 中  $Z = -1$  的零点是固定的,所以与之对应的极点位置决定了频带  $W_H$  内的幅频特性。若频带  $W_H$  内的噪声功率增益为  $N_{PG,H}$ ,信号带宽  $W_L$  内噪声功率增益为  $N_{PG,L}$ 。由式(2)可知,为了使折叠噪声不会引起调制器 SNDR 的严重下降,则要保证  $N_{PG,H}\delta$  乘积的大小与  $N_{PG,L}$  的大小能够相比拟。在噪声传递函数的 NPG 相等的条件下, $N_{PG,H}$  与  $N_{PG,L}$  是一对互为矛盾的量,减小  $N_{PG,H}$  则会增加  $N_{PG,L}$ ,这将会减弱了调制器的噪声整形效果;减小  $N_{PG,L}$ ,则会增大  $N_{PG,H}$ ,这将会增加折叠噪声。所以 NTF 的高频极点需要折中考虑。

### 3.3 系统设计实例

$\Sigma\Delta$ ADC 具有低功耗特点,特别适合于应用在无线移动通信设备中。随着无线移动通信的飞速发展,对  $\Sigma\Delta$ ADC 的带宽越来越高,如 DVB-T 系统就要求其 ADC 的带宽达到 4MHz,精度为 12-bit。本文将根据前面所提出的优化设计方法,设计一个应用在 DVB-T 系统中的基于数字块滤波器的高阶两通道时间交织  $\Sigma\Delta$  调制器系统结构。根据理论估算结果及相关文献给出的设计经验结果,选定调制器阶数为 4,量化器为 3-bit,过采样率为 16,每个通道的采样频率为 64MHz。本文所采用的 NTF 中含有  $Z = -1$  的零点以及其对应的极点,此零点和极点只是对高频处的量化噪声进行整形,对信号带宽内的量化噪声整形并不能提供帮助,所以要得到 4 阶噪声整形效果,NTF 则为 5 阶,但我们仍称之为 4 阶系统(所需的积分器为 4 个)。因为  $Z = -1$  的零点需要与一个  $Z = 1$  的零点组合起来,所以剩余的 3 个零点一个放置在直流处,另外两个零点采用文献[9]所给出的零点优化的方法来进行优化。假设通道失配系数  $\delta = 0.005$ ,对高频极点采用  $N_{PG,H}\delta = 0.25N_{PG,L}$  来进行优化,在这种条件下,理论上折叠噪声将会引起调制器 SNDR 下降大约 2dB。最终得到在 NTF 为:

$$NTF(z) = \frac{(z+1)(z-1)^2(z^2-1.977z+1)}{(z+0.6)(z^2-1.102z+0.3201)(z^2-1.309z+0.61)} \quad (5)$$

该 NTF 的  $NPG = 2.1$ ,  $N_{PG,L} = 0.003$ ,  $N_{PG,H} = 0.15$ 。图 2 为所设计 NTF 的零极点图以及其幅频响应。

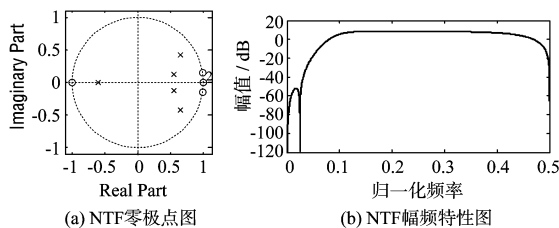


图 2 NTF 零极点和幅频特性图

采用如图 3(a)所示的传统单通道单环前馈分布型结构作为原型,把式(5)的 NTF 映射到该结构中去,其系数为:  $a_1 = 1.2$ ,  $a_2 = 0.28$ ,  $a_3 = 0.97$ ,  $a_4 = 1.46$ ,  $k = -0.92$ ,  $g = 0.023$ 。图 3(a)的单通道结构中包含了(1)式中三种基本传递函数,采用其对应的块数字滤波器结构代替这三种基本传递函数,并经过一系列的等效变换[2,4],最终得到如图 3(b)所示的基于块数字滤波器的 4 阶两通道时间交织调制器的系统结构。在图 3(b)所示的系统结构中,理想情况下,其系数有如下关系:  $b_i' = b_i'' = 1$ ,  $g_i' = g_i'' = g_i$ ,  $a_i' = a_i'' = a_i$ 。

## 4 系统仿真结果

采用 SIMULINK 对本文设计的两通道时间交织调制器系统进行仿真。假设每个通道的采样频率  $F_s = 64\text{MHz}$ ,其有效采样频率  $F_{s,e} = 128\text{MHz}$ ,过采样率为 16,则整个调制器的带宽为 4MHz。输入信号为频率  $F_{in} = 1.796875\text{MHz}$ 、幅值为  $-2\text{dB}$ (相当于 0.79)满刻度的正弦信号。调制器在通道失配系数  $\delta = 0.005$ (即图 3(b)中系数  $b_i' = 1 - \delta$ ,  $b_i'' = 1 + \delta$ ,  $a_i' = a_i(1 - \delta)$ ,  $a_i'' = a_i(1 + \delta)$ ,  $g_i' = g_i(1 - \delta)$ ,  $g_i'' = g_i(1 + \delta)$ )和不存在失配( $\delta = 0$ )的条件下,调制器输出信号的功率谱密度如图 4 所示。图中虚线为理想情况下( $\delta = 0$ )时,调制器输出功率谱密度,其信号噪声失真比为 80.4dB。图中实线为通道失配系数  $\delta = 0.005$  时,调制器输出功率谱密度,其信号噪声失真比为 76.9dB。由于采用了经过优化的带通噪声传递函数,减小了折叠到信号带宽内的量化噪声,通道失配系数  $\delta = 0.005$  时调制器的 SNDR 比理想情况下只降低了大约 3.5dB,与理论值吻合(理论值是降低 2dB)。这表明本文所设计两通道时间交织调制器对通道失配不敏感,折叠噪声对调制器性能影响较小。对各种不同幅值的直流信号进行 20

万个周期仿真,仿真表明对于  $-4\text{dB}$  (相当于  $0.63$ ) 满刻度的直流输入信号,该调制器结构仍然稳定。

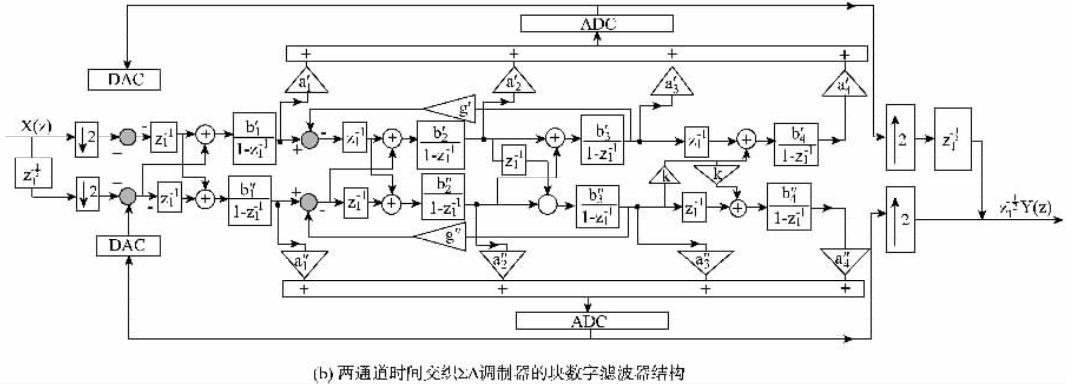
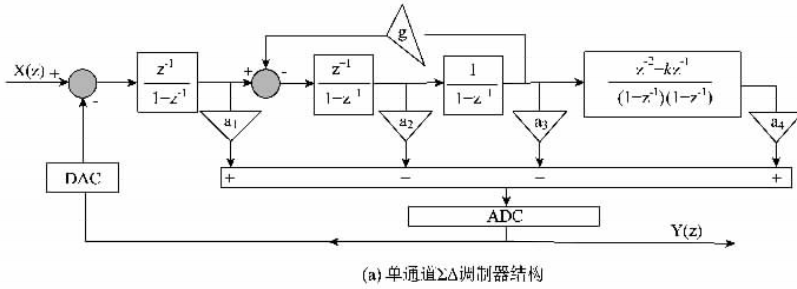


图 3 本文所设计的两通时间交织  $\Sigma\Delta$  调制器

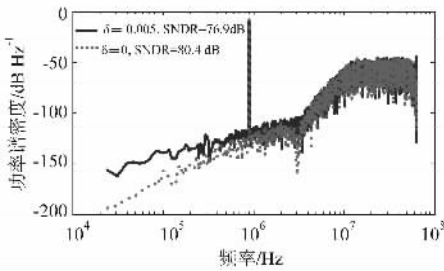


图 4 通道失配系数  $\delta=0$  和  $\delta=0.005$  时,调制器输出信号的功率谱密度

### 5 结束语

本文提出了一种基于块数字滤波器的高阶两通道时间交织  $\Sigma\Delta$  调制器的系统优化设计方法。该方法对系统稳定性进行了考虑,对噪声传递函数中的零极点进行了优化。采用该方法,设计了一个应用于 DVB-T 系统中的宽带  $\Sigma\Delta$  调制器。系统仿真表明,该 4 阶两通道时间交织调制器具有较大的稳定输入范围以及对通道失配不敏感的特点。

### 参考文献

[ 1 ] Balmelli P, Huang Qiuting. A 25 MS/s 14-b 200-mW sigma delta modulator in 0.18  $\mu\text{m}$  CMOS [ J ]. IEEE Journal of Solid-State Circuits, 2004, 39( 12 ):2161-2169.

[ 2 ] Khoini-Poorfard R, Lim L. B, and Johns D. A. Time-interleaved oversampling A/D converters: theory and practice [ J ]. IEEE Transactions On Circuits and Systems - II, 1997, 44( 8 ):634-645.

[ 3 ] Lee K. S, Kwon S and Maloberti F. A power-efficient two-channel time-inverleaved  $\Sigma\Delta$  modulator for broadband applications. IEEE Journal of Solid-State Circuits, 2007, 42( 6 ):1206-1215.

[ 4 ] Yang X, Chen G. C, A novel two-channel time-interleaved second-order  $\Sigma\Delta$  modulator. IEICE Electronics

表 1 对本文结构与文献[ 10 ]中给出的应用于 DVB-T 系统的调制器的结构和性能进行了比较。从表 1 可以看出,同样是 4 阶调制器结构,本文结构所需的采样频率为  $64\text{MHz}$ ,其内嵌量化器为 3-bit,而文献[ 10 ]结构所需的采样频率为  $100\text{MHz}$ ,内嵌量化器为 4-bit,所以本文结构降低了对调制器电路模块的性能指标,如积分器中运放的带宽、功耗。

表 1 本文结构与文献[ 10 ]中结构对比

文献	系统结构	采样频率	带宽	过采样率	内嵌量化器位数	最大 SNDR (1MHz 输入信号)
[ 10 ]	4 阶前馈分布型单通道结构	100 MHz	4MHz	12	4 bit	70.1 dB
本文	4 阶前馈分布型两通道时间交织结构	64 MHz	4MHz	16	3 bit	78.1 dB ( $\delta=0.005$ )

Express, 2008,5(11):424-430.

- [5] Khoini-Poorfard R, Johns D A. Mismatch effects in time-interleaved oversampling converters [C]//IEEE Int Symp Circuits Syst, Piscataway, NJ, USA : IEEE,1994:5429-5432.
- [6] Rombouts P, Raman J and Weyten L. An approach to tackle quantization noise folding in double-sampling  $\Sigma\Delta$  modulation A/D converters. IEEE Trans. On Circuits and Systems-II, 2003,50(4):157-163.
- [7] Kuo T. H, Chen K. D and Chen J. R. Automatic coefficients design for high-order sigma-delta Modulators. IEEE Trans. On Circuits and Systems:II, 1999,46(1):6-15.
- [8] Schreier R, Temes G C. Understanding Delta-Sigma Data Converters [M]. New York: IEEE Press, 2005.
- [9] Schreier R. An empirical study of high-order single-bit delta-sigma modulators. IEEE Trans. On Circuits and Systems-II, 1993,40(8):461-466.
- [10] Fujimoto Y, Kanazawa Y, Lore P and Miyamoto M. An 80/100 MS/s 76.3/70.1dB SNDR  $\Delta\Sigma$  ADC for digital TV receivers. //2006 IEEE International Solid-State Circuits, Piscataway, NJ, USA : IEEE,2006:76-86.

### 作者简介



凌朝东(1964-),男,副教授,华侨大学信息科学与工程学院电子工程系主任,主要研究方向为混合信号集成电路设计、生物医学电子学、信号理论与信号处理。  
E-mail:edac@hqu.edu.cn



杨 骁(1978-),男,讲师,博士,主要研究方向为模拟集成电路设计、混合信号集成电路设计、射频集成电路设计、信号处理。  
E-mail:xiaoyanghqu@hqu.edu.cn



蔡灿辉(1954-),男,教授,博士,华侨大学信息科学与工程学院副院长,主要研究方向为数字图像处理、图像传输、计算机通信。