

基于 FPGA 的 SAR 信号存储与预处理 模块设计与实现

谢宜壮 龙 腾

(北京理工大学雷达技术研究所, 北京 100081)

摘要: 随着 FPGA 技术的迅速发展, FPGA 超强的并行处理能力使得它在 SAR 信号处理等高速实时信号处理领域起到越来越重要的作用。本文通过一个以 FPGA 为核心处理器的星载 SAR 信号存储与预处理系统为例, 采用模块化的设计思想, 灵活、高效的实现了对 2GB SAR 信号的多通道、大规模存储管理、FIR 滤波与降采样等预处理功能。其中, 重点介绍了三端口非透明型 SDRAM 控制器模块和滤波降采样模块的设计与实现。

关键词: FPGA; 存储与预处理; 模块化; SDRAM 控制器; 滤波降采样

中图分类号: TN958 **文献标识码:** A **文章编号:** 1003-0530(2010)02-0180-04

Module Design and Implementation of SAR Signal Storage and Pretreatment Based On FPGA

XIE Yi-zhuang LONG Teng

(Radar Research LAB, Beijing Institute of Technology, Beijing 100081, China)

Abstract: The rapid development of FPGA and its powerful parallel processing ability make it play more and more important role in SAR signal processing and some other high speed real time signal processing areas. This paper takes a spaceborne SAR signal storage and pretreatment system based on FPGA as an illustration, with modularization method, FPGA effectively realize the function of managing and controlling multi-channel 2GB SAR signal memory, FIR filtering and down-sampling. Of these modules, this paper emphasizes design and implementation of three-port SDRAM controller module and filtering and down-sampling module.

Key words: FPGA; Storage and pretreatment; modularization method; SDRAM controller; Filtering and down-sampling

1 引言

合成孔径雷达(SAR)可以获得地面的二维高分辨率的图像,可以全天候、全天时工作。它具有穿透土壤和植被的能力,已经成为重要的对地面和海洋的观测手段。从信息论的理论可以知道,SAR的二维高分辨能力是以海量的信息处理为代价的,所以SAR成像面临海量信息存储与处理的任务。在某些只需要快速、粗略浏览目标特征,不需要特别高的分辨率的情况下,可以通过对SAR的原始数据进行降采样的方法减少SAR系统的数据处理量,这样可以加快硬件实现的速度,达到很高的实时性,这时就需要对SAR信号进行预

处理。近年来,随着FPGA技术的不断成熟和发展,FPGA规模日益扩大,FPGA超强的并行处理能力可以大幅提高处理速度。在SAR信号处理领域,特别是SAR信号的存储与预处理方面,FPGA的应用越来越多,已经成为首选的技术手段。

2 存储与预处理系统

本文提出了一种基于Compact PCI(CPCI)标准的预处理系统,系统的拓扑结构如图1所示。系统采用两级处理的结构:第一级是FPGA处理,负责实现对SAR原始数据的滤波、降采样,管理和控制板上2GB的存储空间,数据打包等等;第二级是DSP处理,通过

DSP 的 LINK 链路将滤波和降采样之后的数据传输给成像处理器,同时可以通过 PCI 桥接芯片将板上的原始数据传输给上位机。两级处理通过 DSP 的外总线实现无缝连接,将 FPGA 映射成为 DSP 的从设备,DSP 可以非常容易的访问 FPGA 及其外部资源。

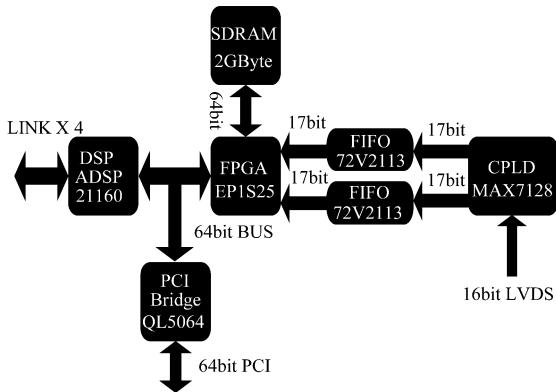


图 1 预处理系统体系结构

在第一级的数据处理中,FPGA 内部的数据流程如下:

首先,FPGA 从两片 FIFO 中读取数据,数据被 FPGA 打包成整帧,打包的过程主要包括帧长自动校正(SAR 原始数据输入时每帧数据长度随机,需要校正到固定长度便于后续处理)、自动标示(标示帧头、当前帧的序列号等等),每帧数据包含三个部分:帧头、辅助数据以及有效数据,每帧都有固定的长度。然后数据流在 FPGA 内部被分成两个流向:一路通过 SDRAM 控制器存储到 SDRAM 中;另一路经过滤波和降采样处理之后存储到 FPGA 内部的 DPRAM 中。当 FPGA 片内 DPRAM 数据就绪时,向 DSP 发送中断通知 DSP 取走数据。

通过对 FPGA 内部数据流的分析,FPGA 要实现的功能如下:

- 从片外的两片 FIFO 中读入 SAR 原始数据,并进行预处理,包括帧长自动校正、自动标示等;
- 管理和控制预处理板上的 2GB SDRAM 存储器;
- 将有效的帧数据送入后续处理模块,把辅助数据和待滤波的数据分离开。分离后的辅助数据与滤波降采样之后的数据重新拼接在一起,存储在片内的 DPRAM 中,并向 DSP 发出数据准备就绪的中断。

系统设计中采用模块化的设计思想,每个功能都由单独的模块完成,FPGA 内部主要的功能模块如图 2 所示。在这些模块中,最重要的两个是 SDRAM 控制器模块和滤波降采样模块,下面分别加

以详细说明。

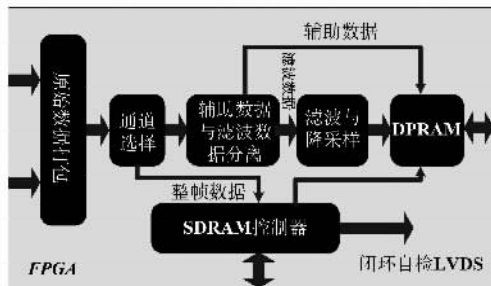


图 2 FPGA 内部主要模块及数据流向

3 SDRAM 控制器模块的设计与实现

从图 2 中可以看出,流经 SDRAM 控制器的数据流有三个,系统实现过程中设计了一个三端口非透明型的 SDRAM 控制器。这里透明型是指其它模块访问 SDRAM 时,只需简单读写而不需要进行其它复杂的管理操作,其它应用可以通过 SDRAM 控制器将 SDRAM 空间视为一个普通的同步三口 RAM 操作。但是这种结构不能灵活的实现地址跳变的访问,随机访问的带宽很低。所以,系统设计中采用了非透明型的设计,非透明的意思是指:其它模块为了访问 SDRAM 的数据,不但要进行数据的读写操作,而且需要进行寄存器设置、控制信号调整等其它操作。非透明型设计的灵活性较差,但是可以根据具体的使用环境对功能进行简化,并且将一部分控制操作转交给软件完成,所以实现相对比较简单,而且更加稳定可靠。

流经 SDRAM 控制器的三个数据流向如图 3 所示。有效的帧数据通过 SDRAM 控制器的 C 端口写入到 SDRAM 中;片外的 DSP(ADSP-21160)则可以通过 B 端口读写 SDRAM;位于 SDRAM 内的数据能通过 A 端口按照帧读出并通过前端 16bit 总线发送出去,通过外部 LVDS 电缆传输到输入端,形成系统的闭环检测。

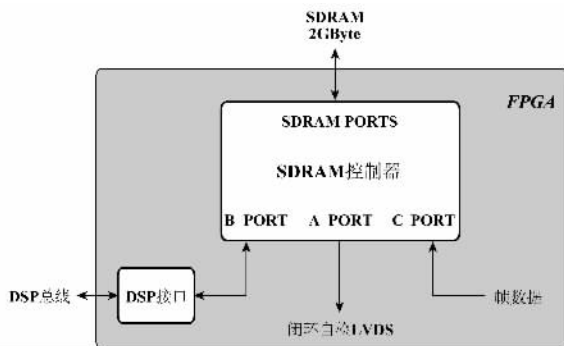


图 3 SDRAM 控制器的数据流向

三端口非透明型 SDRAM 控制器的结构框图如图 4 所示。A、B、C 三个端口的内部结构完全相同,都包含一个双口 RAM(作为数据乒乓缓存),一个 DMA 控制器。外部设备可以通过端口读写 DPRAM 中的数据,也可以写 DMA 控制寄存器。DMA 控制器的功能是根据 DMA 控制寄存器内的设置在 DPRAM 和 SDRAM 之间交换数据,当 DSP 或者其它外部设备设置了寄存器后,DMA 控制器向仲裁和数据分配器发出访问 SDRAM 的请求,然后开始一次 DMA 操作。仲裁和数据分配器的功能是决定当前哪一个端口具有访问 SDRAM 的权利,当两个或是三个 DMA 控制器同时请求访问 SDRAM 时,由仲裁控制器根据优先级规则进行控制。设计中采用了轮换优先级的方式,即:刚刚完成了一次 DMA 操作的端口具有比较低的优先级,当前具有最高优先级的端口有权占用 SDRAM 直至本次 DMA 结束,这样,就可以三个端口分时占用 DMA 通道,保证三个端口之间平均的分配 SDRAM 的带宽。SDRAM 时序控制则负责产生操作 SDRAM 必须的命令码,并且传递数据。

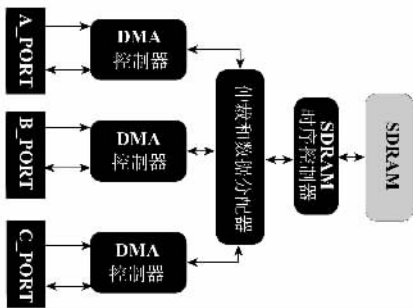


图4 SDRAM控制器的结构

4 滤波和降采样模块的设计与实现

滤波和降采样是 SAR 信号预处理中最重要的过程,对 SAR 原始数据进行滤波,使其带宽降低,同样可以降低原始数据率,滤波降采样可以同时进行,其理论基础如下所述。

假设 $S(n)$ 是滤波器的输入, $h(n)$ 是滤波器的系数, $S_1(n)$ 是滤波器的输出,则 FIR 滤波的结果为:

$$S_1(n) = \sum_{k=0}^{N-1} S(n+k)h(k)$$

对 $S_1(n)$ 进行 $M:1$ 降采样,即每隔 M 点抽取一个点,形成新的序列 $S_2(n)$:

$$S_2(n) = S_1(Mn) = \sum_{k=0}^{N-1} S(Mn+k)h(k)$$

设滤波器长度 N 是 M 的整数倍,即 $\frac{N}{M}$ 是整数,则可以将上式变换为:

$$S_2(n) = \sum_{m=0}^{M-1} \sum_{k=0}^{N/M-1} S(Mn+Mk+m)h(Mk+m)$$

上式表明,可以把一个长度为 N 的 FIR 滤波器拆分为 M 个长度为 $\frac{N}{M}$ 的并行子滤波器。第 m 个子滤波器的系数为:

$$h_{SUBm}(k) = h(Mk+m), 0 \leq k \leq N/M$$

输入第 m 个子滤波器的信号序列为:

$$S_{SUBm}(n) = S(Mn+m)$$

上述各个子滤波器的输出累加后即可得到滤波降采样结果。

这样的拆分对于采用 FPGA 实现降采样 FIR 滤波器具有重大意义,如图 5 所示,可以用若干个互相并行的小滤波器构成整个滤波降采样系统。在总的硬件消耗量和时钟频率基本不变的前提下,吞吐率则可以达到滤波后抽样方式的 M 倍;或者说,在相同的吞吐率下,滤波器的驱动时钟频率可以是原来的 $\frac{1}{M}$ 。

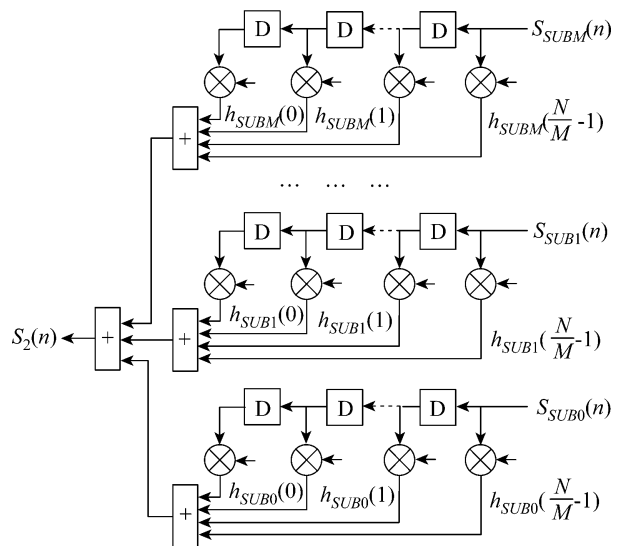


图5 降采样型并行的FIR滤波器结构

在本预处理系统中,采用了 32 阶的 FIR 滤波器,将 32 阶 FIR 滤波器拆分成 4 个并行的 8 阶 FIR 子滤波器实现滤波降采样的功能,实现的结构如图 6 所示。

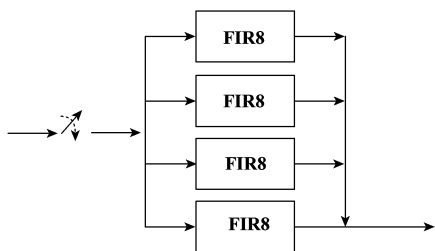


图 6 4 个并行的 8 阶子 FIR 滤波器组成
1 个 32 阶的降采样型 FIR 滤波器

5 结论

本文首先分析了 FPGA 的技术特点,指出了 FPGA 将在 SAR 信号存储与预处理中将起到重要的作用。接着,以一个具体的星载 SAR 信号存储与预处理系统为例,通过 SDRAM 控制器和滤波降采样模块的设计介绍,研究了 FPGA 在系统中的具体实现。

参考文献

- [1] 张澄波. 综合孔径雷达:原理、系统分析与应用[M]. 北京:科学出版社,1989:1-12.
- [2] 保铮,邢孟道,王彤. 雷达成像技术[M]. 北京:电子工业出版社,2006:1-9.
- [3] 李旻. 高分辨率雷达信号处理的理论与实现[D]. 北京:北京理工大学,2001.
- [4] John G. Ackenhusen 著,李玉柏等译. 实时信号处理 - 信号处理系统的设计与实现[M]. 北京:电子工业出版社,2002:55-70.

- [5] Wai-Chi Fang and Michael Y. Jin. "On Board Processor Development For NASA's Spaceborne Imaging Radar with VLSI System-On-Chip Technology", Jet Propulsion Laboratory, California Institute of Technology, IEEE (2004), pp. 901-904.
- [6] Sheng-Lei, Zheng-TaoYe, Zhang-Xujing "Design and Implementation of SAR Raw Data BAQ Based On FPGA", East China Research Institute of Electronic Engineering, IEEE(2007), pp. 664-666.

作者简介



谢宜壮(1980-),男,生于吉林长春,北京理工大学电子工程系博士。主要研究方向为高速实时信号处理技术,基于 FPGA 的 SAR 信号实时处理理论与方法研究,多 FPGA、DSP 系统体系结构研究。
E-mail:xyz551_bit@bit.edu.cn



龙腾(1968-),男,生于福建福州,博士,北京理工大学电子工程系教授、博士生导师;中国航空学会信号处理分会副理事长、无线电技术分会委员,中国航空学会电子分会副理事长,国家高科技八六三(863-801)主题专家,总装备部卫星应用专业组特邀专家,中国电子学会高级会员,IEEE 会员。主要研究方向:雷达系统,数字信号处理,数据通信。